

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2002 年 1 月 31 日 (31.01.2002)

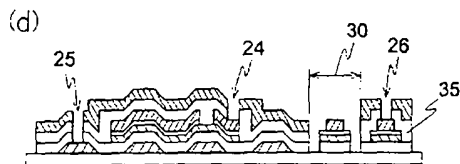
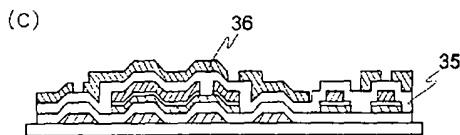
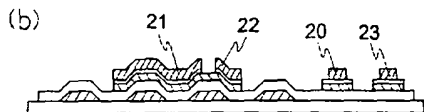
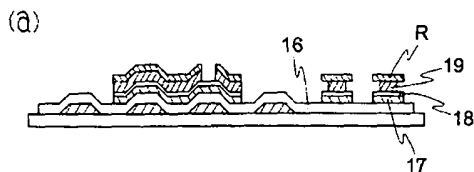
PCT

(10) 国際公開番号
WO 02/08824 A1

- (51) 国際特許分類: G02F 1/1368 (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 松原良太 (MAT-SUBARA, Ryouta) [JP/JP]; 〒861-1198 熊本県菊池郡西合志町御代志997番地 株式会社 アドバンスト・ディスプレイ内 Kumamoto (JP).
- (21) 国際出願番号: PCT/JP01/06285
- (22) 国際出願日: 2001 年 7 月 19 日 (19.07.2001)
- (25) 国際出願の言語: 日本語 (74) 代理人: 朝日奈宗太, 外 (ASAHI, Sohta et al.); 〒540-0012 大阪府大阪市中央区谷町二丁目2番22号 NSビル Osaka (JP).
- (26) 国際公開の言語: 日本語 (81) 指定国 (国内): KR, US.
- (30) 優先権データ:
特願2000-221858 2000 年 7 月 24 日 (24.07.2000) JP 添付公開書類:
— 国際調査報告書
- (71) 出願人 (米国を除く全ての指定国について): 株式会社アドバンスト・ディスプレイ (ADVANCED DISPLAY INC.) [JP/JP]; 〒861-1198 熊本県菊池郡西合志町御代志997番地 Kumamoto (JP).
2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: METHOD FOR MANUFACTURING TFT ARRAY SUBSTRATE OF LIQUID CRYSTAL DISPLAY DEVICE

(54) 発明の名称: 液晶表示装置のTFTアレイ基板製造方法



(57) Abstract: Before a part of a protective film (35) is removed to form a contact hole (24), the protective film (35) on a source wiring (20), the protective film (35) by the source wiring (20), and a gate insulating film (16) by the side of the source wiring (20) are removed simultaneously. A part of exposed semiconductor layers (17), (18) which protrudes out of the side of the source wiring (20) is removed with a resist pattern (36) and/or the source wiring (20) for removing a part of the protective film (35) used as a mask.

WO 02/08824 A1

[続葉有]



(57) 要約:

保護膜（３５）の一部を除去してコンタクトホール（２４）を形成する際に、ソース配線（２０）上の保護膜（３５）、ソース配線（２０）横の保護膜（３５）及びソース配線（２０）横のゲート絶縁膜（１６）を同時に除去し、露出した半導体層（１７）（１８）のうちソース配線（２０）横にはみ出している部分を、保護膜（３５）の一部を除去するためのレジストパターン（３６）及び／又はソース配線（２０）をマスクとして除去する。

明 細 書

液晶表示装置の T F T アレイ基板製造方法技術分野

本発明は、液晶表示装置の製造方法に関し、とくにアクティブマトリックス型の液晶表示装置の T F T アレイ基板の製造方法に関する。

背景技術

液晶表示装置は、液晶の電気光学特性を利用し偏光板と組み合わせ、液晶に印加する電圧を制御することにより表示をおこなうものであり、C R T に比べ重量が小さく携帯性に優れ、近年、モバイルコンピュータの表示装置などに応用されている。

なかでも、個々の画素に薄膜トランジスタ（T F T）などのスイッチング素子を設けて液晶に印加する電圧の制御をおこなうアクティブマトリックス型液晶表示装置は、単純マトリックス型液晶表示装置と比較して、表示品位に優れているといった特徴を有しており、その開発、応用が盛んにおこなわれている。

図 1 に基本的なアクティブマトリックス型液晶表示装置の等価回路を示し、その動作について説明する。図 1（b）は、図 1（a）の P 部を部分拡大した図である。

ゲート配線 1 およびソース配線 2 の交差部に、T F T などのスイッチング素子 7、液晶容量 8、補助容量 9 が形成され画素を構成している。画素をマトリックス状に配置して T F T アレイ基板を形成する。

ゲート配線に選択パルスが印加されると、該ゲート配線に接続されたすべてのスイッチング素子がオン状態となり、それぞれのスイッチング素子に接続されたソース配線に印加されている信号が、スイッチング素子を介して液晶容量および補助容量に書き込まれる。選択パルスの印加が終了しゲート配線が非選択状態となると、スイッチング素子はオフ状態となり、前記液晶容量および補助容量に書き込まれた電荷は、一垂直走査期間が経過して前記ゲート配線に再度選択パルスが印加されるまで保持される。

通常、アクティブマトリックス型の液晶表示装置は、液晶の層を挟持して対向する２枚の基板の一方に、ＴＦＴなどのスイッチング素子を設けてＴＦＴアレイ基板とし、他方にコモン電極を設けて対向基板とする。

従来技術によるＴＦＴアレイ基板の製造方法について、図２および図３、図４を用いて説明する。

図２は、ＴＦＴアレイ基板の要部を拡大した平面図である。図２において、ゲート配線１３およびソース配線２０の交差部に、ゲート電極１２、ソース電極２１、ドレイン電極２２からなるＴＦＴが形成されており、ＴＦＴのドレイン電極２２はコンタクトホール２４を介して画素電極２７に接続されている。外部から選択パルスを印加するために、ゲート配線１３の端部は液晶表示装置の表示領域の外まで延伸され、下部パッド１５を形成している。下部パッド１５は、コンタクトホール２５を介して上部パッド２８と接続されており、ここから選択パルスが入力される。

図２には示されていないが、ソース配線２０の端部も

同様に、液晶表示装置の表示領域の外まで延伸され、下部パッド 23 を形成している。下部パッド 23 は、コンタクトホール 26 を介して上部パッド 29 と接続されており、ここから信号が入力される。

なお、図 2 中の参照番号 14 は、画素電極 27 とのあいだに補助容量を形成するための共通配線を示す。また、参照番号 38 は T F T のチャネル部を示す。

図 3 および図 4 は、図 2 の T F T アレイ基板の製造方法を説明する断面図である。

まず、絶縁性基板 11 上に、スパッタなどの手法を用いて第 1 の金属層を形成する。第 1 の金属層は、Cr、Al、Mo などの金属あるいはこれら金属を主成分とする合金、もしくはこれらの積層からなる。ついで、フォトリソグラフィなどを用いて写真製版を行ない、エッチング法などにより第 1 の金属層から不要部分を除去して、ゲート電極 12、ゲート配線 13、共通配線 14、下部パッド 15 を形成する。この状態が図 3 (a) である。

つぎに、 SiN_x 、 SiO_2 などからなる絶縁膜（ゲート絶縁膜）16 を、プラズマ CVD などの各種 CVD 法やスパッタ、蒸着、塗布法などにより形成し、さらに a-Si:H 層（第 1 の半導体層）17、リン、アンチモン、ボロンなどの不純物をドーピングしたたとえば n^+ -a-Si:H 膜やマイクロクリスタル n^+ -Si 層などの半導体層（不純物半導体層、第 2 の半導体層）18 を、プラズマ CVD 法やスパッタなどにより形成する。さらに、スパッタなどの手法を用いて第 2 の金属層 19 を形成する。第 2 の金属層は、Cr、Al、Mo などの金属あるいはこれら金属を主成分とする合金、もしくはこれ

らの積層からなる。

ついで、フォトレジスト R を塗布し、写真製版法などにより、フォトレジスト R の厚さが厚い領域 A、フォトレジスト R の厚さが薄い領域 B、フォトレジスト R を除去した領域 C からなるレジストパターンを形成する。この状態が図 3 (b) である。

つぎに、このレジストパターンを用いて、第 2 の金属層 19 のエッチングを行なう。フォトレジスト R のない領域 C の第 2 の金属層 19 が、選択的に除去される。この状態が図 3 (c) である。

その後、領域 B のフォトレジスト R の除去を行なう。このとき、領域 A のフォトレジスト R は厚さが厚いため、除去されずに残される。この状態が図 3 (d) である。

つぎに、領域 A に残ったフォトレジスト R を使用して、まず、半導体層 18、17 のエッチングを行なって領域 C の半導体層 18、17 を除去し、その後第 2 の金属層 19 のエッチングを行なって領域 B の第 2 の金属層 19 を除去する。この状態が図 3 (e) および図 4 (a) である。

さらに、領域 B の半導体層 18 をエッチングにより除去し、その後、フォトレジスト R をすべて取り除く。この状態が図 4 (b) である。基板上に、ソース配線 20、ソース電極 21、ドレイン電極 22、下部パッド 23 が形成されている。

続いて、保護膜 35 を全面に成膜したのち、フォトレジストなどを用いて写真製版を行ない、エッチング法などによりコンタクトホール 24、25、26 を形成する。この状態が図 4 (c) である。

最後に、ITO (Indium Tin Oxide) を全面に成膜し、フォトリソなどを用いて写真製版を行ない、エッチング法などによって不要部分を除去してITO画素電極27、上部パッド28、29を形成する。この状態が図4 (d) である。

以上説明した製造方法によれば、合計4回の写真製版、つまり4枚のフォトマスクによってTFTアレイ基板を製作することができるため、工程の短縮、コストの低減が可能である。

しかしこの製造法では、ソース配線20、ソース電極21、ドレイン電極22および下部パッド23と、これらの下部に位置する半導体層18および半導体層17を、同一のフォトリソRを用いて形成しており、また、エッチング手法やエッチング条件の相違により、第2の金属層19のエッチング時の配線の細り量 (サイドエッチ量) が半導体層18および半導体層17のサイドエッチ量よりも大きいことから、図4 (a) ~ (d) に見られるように、ソース配線20の横に半導体層18および半導体層17がはみ出した形状になる。

一般に、ソース配線20 (第2の金属層19) の材料がCr、Al、Moなどの場合、サイドエッチ量は片側で0.5 ~ 1.0 μm 程度である。一方、半導体層18および半導体層17のサイドエッチ量はほぼ0 μm である。したがって、写真製版に使用するフォトマスクでのソース配線幅を10 μm とした場合、実際に形成されるソース配線の幅は8 ~ 9 μm となり、半導体層18および半導体層17が1 ~ 2 μm 程度はみだして形成されることになる。

高輝度の表示を可能とし、表示品位にすぐれた液晶表示装置を得るためには、TFTアレイ基板の開口率を極力大きくすることが望ましい。またソース配線20に印加される信号の遅延を防止し、輝度ムラなどの表示品位の低下を防ぐためには、ソース配線20の抵抗は極力小さくすることが望ましい。

もし、半導体層18および半導体層17のはみ出しを除去することができれば、ソース配線20の幅を小さくすることなく、つまりソース配線20の抵抗を増大させることなく、開口率の向上をはかることができる。また、同一の開口率であれば、ソース配線20の幅をより大きくすることができ、ソース配線20の低抵抗化をはかることができる。

さらに、はみ出した半導体層18および半導体層17が、対向基板のコモン電極とのあいだに容量を形成し、ソース-コモン間容量が増大するといった問題もある。

特に、前述した4枚のフォトリソによるTFTアレイ基板の製造方法においては、第2の金属層19（ソース配線20）は、複数回のエッチングにさらされることになる（図3（c）および図4（a）を参照）。

このため、ソース配線20のサイドエッチ量と半導体層18および半導体層17のサイドエッチ量との差はさらに大きいものとなり、たとえば、フォトリソでのソース配線幅が $10\mu\text{m}$ である場合、実際に形成されるソース配線の幅は $6\sim 7\mu\text{m}$ 程度となり、半導体層18および半導体層17が $3\sim 4\mu\text{m}$ 程度はみだして形成されることになる。

したがって、開口率の低下、ソース配線の抵抗増大、

あるいはソース・コモン間容量の増大といった問題はますます大きくなり、はみ出した半導体層 18 および半導体層 17 を除去することのできる製造方法が強く望まれていた。

そこで本発明は、アクティブマトリックス型液晶表示装置の T F T アレイの製造工程において、ソース配線横にはみだした半導体層を除去することを目的とする。

発明の開示

本発明は、ゲート配線、ソース配線および T F T 素子などを形成後、保護膜を成膜し、該保護膜の一部を除去してコンタクトホールを形成する際に、ソース配線上の保護膜、ソース配線横の保護膜およびソース配線横のゲート絶縁膜を同時に除去し、ソース配線およびソース配線下の半導体層を露出させる。

さらに、露出した半導体層のうちソース配線横にはみ出している部分を、保護膜の一部を除去するためのレジストパターンおよび／またはソース配線をマスクとして除去する。

または、露出した半導体層のうちソース配線横にはみ出している部分を、一部を除去した後の保護膜および／またはソース配線をマスクとして除去する。

本発明の別の実施の形態では、ゲート配線、ソース配線および T F T 素子などを形成後、保護膜は成膜せず、露出しているソース配線下の半導体のうちソース配線横にはみ出している部分を、ソース配線をマスクとして除去する。

本発明のさらに別の実施の形態では、ソース配線形成

時にソース配線横に半導体層を残すことにより、保護膜の一部を除去してコンタクトホールを形成する際に、ソース配線上およびソース配線横の保護膜だけが除去され、ソース配線横のゲート絶縁膜は除去されないようにした。

さらに、保護膜が除去されて露出した半導体層のうちソース配線横にはみ出している部分を、保護膜の一部を除去するためのレジストパターンおよび／またはソース配線をマスクとして除去する。

または、保護膜が除去されて露出した半導体層のうちソース配線横にはみ出している部分を、一部を除去した後の保護膜および／またはソース配線をマスクとして除去する。

本発明では、ITO膜の一部を選択的に除去する際に、ソース配線上のITO膜を除去せずに残すことにより、ITO膜でソース配線を覆うようにしてもよい。

図面の簡単な説明

図1は、アクティブマトリックス型液晶表示装置の動作を説明するための図である。

図2は、TFTアレイ基板の要部を拡大した平面図である。

図3は、従来の技術による、図2のTFTアレイ基板の製造方法を説明する断面図である。

図4は、従来の技術による、図2のTFTアレイ基板の製造方法を説明する断面図であり、図3に引き続く工程を表わした図である。

図5は、本発明の実施の形態1による、TFTアレイ基板の製造方法を説明する断面図である。

図 6 は、本発明の実施の形態 1 による、T F T アレイ基板の製造方法を説明する断面図であり、図 5 に引き続く工程を表わした図である。

図 7 は、本発明の実施の形態 1 による、T F T アレイ基板の製造方法を説明する断面図であり、図 6 に引き続く工程を表わした図である。

図 8 は、本発明の実施の形態 2 による、T F T アレイ基板の製造方法を説明する断面図である。

図 9 は、本発明の実施の形態 3 による、T F T アレイ基板の製造方法を説明する断面図である。

図 10 は、本発明の実施の形態 3 による、T F T アレイ基板の製造方法を説明する断面図であり、図 9 に引き続く工程を表わした図である。

図 11 は、本発明の実施の形態 3 による、T F T アレイ基板の製造方法を説明する断面図であり、図 10 に引き続く工程を表わした図である。

図 12 は、本発明の実施の形態 4 による、T F T アレイ基板の製造方法を説明する断面図である。

図 13 は、本発明の実施の形態 4 による、T F T アレイ基板の製造方法を説明する断面図であり、図 12 に引き続く工程を表わした図である。

図 14 は、本発明の実施の形態 5 による、T F T アレイ基板の製造方法を説明する断面図である。

発明を実施するための最良の形態

以下、本発明の実施の形態を、図を用いて説明する。

実施の形態 1

本発明の第1の実施の形態を、図5、図6および図7を用いて説明する。図5、図6および図7は、逆スタガ型のTFTが設けられたTFTアレイ基板を例示して、その製造方法を説明した断面図である。

本発明の第1の実施の形態によるTFTアレイ基板の製造方法は、以下の工程からなる。

(1) まず、絶縁性基板11上に第1の金属層を成膜し、ついで、フォトレジストなどを用いて写真製版を行ない、エッチング法などにより第1の金属層から不要部分を除去し、ゲート電極12、ゲート配線13、共通配線14および下部パッド15を形成する(図5(a))。

(2) つぎに、これらゲート電極12、ゲート配線13、共通配線14およびパッド層15を覆うように、SiNx、SiO₂などからなるゲート絶縁膜16、a-Si層(非晶質半導体膜、第1の半導体層)17、n+a-Si層(非晶質不純物半導体膜、第2の半導体層)18、第2の金属層19の4層を基板上に成膜する。

(3) フォトレジストRを塗布後、フォトマスクを用いて、フォトレジストRの厚さが厚い領域A、薄い領域B、フォトレジストRを除去した領域Cからなるレジストパターンを形成する。

フォトレジストRの厚い領域Aは、第2の金属層19をソース電極やドレイン電極、ソース配線やドレイン配線として残すための領域、フォトレジストRを除去した領域Cは、少なくとも第2の金属層19、第2の半導体層18および第1の半導体層17をエッチングして除去するための領域、フォトレジストRの薄い領域Bは第2の金属層19および第2の半導体層18が除去され、T

F T のチャネル部 3 8 となる領域に、それぞれ対応している（図 5（b））。

本実施の形態では、T F T のチャネル部 3 8 のみを領域 B としている。T F T チャネル部 3 8 のみが領域 B である必要はないが、本実施の形態においては、少なくともものにソース配線 2 0 となる部分およびその近傍だけは、領域 B としないことを特徴とする。

（4）つぎに、エッチングなどにより、まず C 領域の第 2 の金属層 1 9 を除去する（図 5（c））。

（5）その後、領域 B のフォトレジスト R の除去を行なう。このとき、領域 A のフォトレジスト R は厚さが厚いため、除去されずに残される（図 5（d））。

（6）その後領域 C の半導体層 1 8、1 7 を、エッチングなどにより除去する（図 5（e））。

（7）さらに、領域 B の第 2 の金属層 1 9 を除去する（図 6（a））。

（8）つぎに、領域 B の第 2 の半導体層 1 8 を除去し、その後、フォトレジスト R をすべて除去する（図 6（b））。

ここまでの工程は従来の技術によるものと同一であり、すでに述べたように、第 2 の金属層 1 9 からなるソース配線 2 0 は、半導体層 1 8 および半導体層 1 7 にくらべてサイドエッチ量が大きいため、ソース配線 2 0 の横に半導体層 1 8 および半導体層 1 7 がはみ出した状態となっている。

（9）この状態の T F T アレイ基板の表面上全面に保護膜 3 5 を成膜したのち、フォトレジストを塗布、フォトマスクを使用してレジストパターン 3 6 を形成する（図 6（c））。

このレジストパターン 36 は、つぎの工程で保護膜 35 の一部を除去してコンタクトホール 24、25、26 を形成するためのものであるが、同時にソース配線 20 上およびその近傍の領域 30 の保護膜 35 も除去するようなパターンとされている。

(10) このレジストパターン 36 を利用して、保護膜 35 のエッチングを行ない、ドレイン電極 22 と ITO 画素電極 27 を電氣的に接続するためのコンタクトホール 24、下部パッド 15 と上部パッド 28 を電氣的に接続するためのコンタクトホール 25、下部パッド 23 と上部パッド 29 を電氣的に接続するためのコンタクトホール 26 を形成する。このとき、すでに述べたように、ソース配線 20 上およびその近傍の領域 30 の保護膜 35 も除去されるが、同時に領域 30 のゲート絶縁膜 16 も除去される (図 6 (d))。

(11) つぎに、レジストパターン 36 およびソース配線 20 をマスクとして利用したエッチングを行ない、ソース配線 20 の横にはみ出している半導体層 18、17 を除去し、その後レジストパターン 36 を取り除く (図 7 (a))。

このとき、先にレジストパターンを取り除き、保護膜 35 およびソース配線 20 をマスクとして、はみ出している半導体層 18、17 をエッチングしてもよい。

またソース配線 20 を形成する第 2 の金属層 19 は、はみ出している半導体層 18、17 をエッチングする際に同時にエッチングされてしまうことがない材料、たとえば Cr など、である必要がある。

(12) その後、ITO 膜を全面に成膜したのち、フ

オトレジストなどを用いて写真製版を行ない、エッチング法などによって該ITO膜の不要部分を除去するパターンニングを行なうことにより、ITO画素電極27、上部パッド28、29を形成する(図7(b))。

以上説明したとおり、本実施の形態によれば、従来の製造方法と同一の合計4回の写真製版、つまり4枚のフォトマスクによってTFTアレイ基板を製作することができ、かつソース配線の横にはみ出した半導体層18および半導体層17を除去することができる。

したがって、製造に要する時間やコストの増大を招くことなく、TFTアレイ基板の開口率の向上およびソース配線の低抵抗化をはかることができ、またソースーモン間容量の増大といった問題も解決することができる。

実施の形態2

本発明の第2の実施の形態を、図8を用いて説明する。

本実施の形態は、ソース配線20をITO膜37で被覆したことを特徴とする。

実施の形態1においては、図7(b)を見れば明らかなように、ソース配線20が露出している。したがって、ソース配線20つまり第2の金属層19の材料として、液晶と反応性のない材料を選択する必要があった。

そこで本実施の形態では、ITO膜のパターンニングを行なう際に、ソース配線20上のITO膜を残すことにより、ソース配線20およびソース配線20の下層に位置する半導体層17、18を覆うITO膜37を形成した。

ITO膜37がソース電極20を覆っているため、ソ

ース配線 20 (第 2 の金属層 19) の材料選択の自由度が増す。さらに、ソース配線 20 および ITO 膜 37 がともに、ソース配線として機能するため、ソース配線の抵抗を低減することができる。また、万一ソース配線 20 が断線した場合にも、ITO 膜 37 が冗長の役割を果たすため、信頼性も向上する。

実施の形態 3

本発明の第 3 の実施の形態を、図 9、図 10 および図 11 を用いて説明する。図 9、図 10 および図 11 は、逆スタガ型の TFT が設けられた TFT アレイ基板を例示して、その製造方法を説明した断面図である。

実施の形態 1 では、図 7 (b) を見れば明らかなように、ソース配線 20 の近傍の領域 30 において、ゲート絶縁膜 16 も除去されている。したがって、ソース配線 20 と共通配線 14 が隣接して設けられる場合には、両配線のあいだのショートが発生するおそれがある。そこで、本実施の形態では、ソース配線 20 近傍の領域 30 において、ゲート絶縁膜 16 を除去せずに残すようにした。

その工程を以下に説明する。

(1) まず、絶縁性基板 11 上に第 1 の金属層を成膜し、この第 1 の金属層を写真製版技術を用いてパターンニングし、ゲート電極 12、ゲート配線 13、共通配線 14 および下部パッド 15 を形成する (図 9 (a))。

(2) つぎに、これらゲート電極 12、ゲート配線 13、共通配線 14 およびパッド層 15 を覆うように、ゲート絶縁膜 16、第 1 の半導体層 17、第 2 の半導体層

18、第2の金属層19の4層を基板上に成膜する。

(3) フォトレジストRを塗布後、フォトマスクを用いて、フォトレジストRの厚さが厚い領域A (A_1)、薄い領域B (B_1)、フォトレジストRを除去した領域Cからなるレジストパターンを形成する。

実施の形態1においては、領域BはTFTのチャンネル部のみであったが、本実施の形態においては、のちにソース配線となる領域 A_1 の近傍にもフォトレジストRの薄い領域 B_1 を設ける(図9(b))。

(4) つぎに、エッチングなどにより、まずC領域の第2の金属層19を除去する(図9(c))。

(5) つぎに領域A (A_1) のフォトレジストRは残しつつ、領域B (B_1) のフォトレジストRを取り除く(図9(d))。

(6) その後、領域Cの半導体層18、17をエッチングなどにより除去する(図9(e))。

(7) さらに、領域B (B_1) の第2の金属層19を除去する(図10(a))。

(8) つぎに、領域B (B_1) の第2の半導体層18を除去し、その後、フォトレジストRをすべて除去する(図10(b))。

すでに述べたように、第2の金属層19からなるソース配線20は、第2の半導体層18にくらべてサイドエッチ量が大きいため、ソース配線20の横に第2の半導体層18がはみ出した状態となっている。

(9) この状態のTFTアレイ基板の表面上全面に保護膜35を成膜したのち、フォトレジストを塗布、フォトマスクを使用して写真製版を行ないレジストパターン

36を形成する（図10（c））。

このレジストパターン36は、つぎの工程で保護膜35の一部を除去してコンタクトホール24、25、26を形成するためのものであるが、同時にソース配線20上およびその近傍の領域30の保護膜35も除去するようなパターンとされている。

（10）このレジストパターン36を利用して、保護膜35のエッチングを行ない、コンタクトホール24、25、26を形成するが、すでに述べたように、ソース配線20上および近傍の領域30の保護膜35も除去される（図10（d））。

（11）つぎに、レジストパターン36およびソース配線20をマスクとして利用してエッチングを行ない、ソース配線20の下層にはみ出している半導体層18、およびソース配線20近傍の半導体層17を除去し、その後レジストパターンを取り除く（図11（a））。

このとき、先にレジストパターンを取り除き、保護膜35およびソース配線20をマスクとして、はみ出している半導体層18、および半導体層17をエッチングしてもよい。

またソース配線20を形成する第2の金属層19は、半導体層18および半導体層17をエッチングする際に同時にエッチングされてしまうことがない材料、たとえばCrなど、である必要がある。

（12）その後、ITO膜を全面に成膜したのち、写真製版技術を用いてパターンニングをすることにより、ITO画素電極27、上部パッド28、29を形成する（図11（b））。

以上説明したとおり、本実施の形態によれば、ソース配線 20 近傍のゲート絶縁膜 16 が除去されずに残るため、ソース配線 20 と共通配線 14 とのあいだのショートが発生するおそれはなくなる。

本実施の形態では、ソース配線 20 が露出しているが、実施の形態 2 と同様にして、ソース配線 20 を ITO 膜で被覆することももちろん可能である。

実施の形態 4

本発明の第 4 の実施の形態を、図 12 および図 13 を用いて説明する。図 12 および図 13 は、逆スタガ型の TFT が設けられた TFT アレイ基板を例示して、その製造方法を説明した断面図である。

本実施の形態は、保護膜 35 を省略した点で実施の形態 1 と異なっている。

その工程を以下に説明する。

(1) まず、絶縁性基板 11 上に第 1 の金属層を成膜し、この第 1 の金属層を写真製版技術を用いてパターンニングし、ゲート電極 12、ゲート配線 13、共通配線 14 および下部パッド 15 を形成する (図 12 (a))。

(2) つぎに、これらゲート電極 12、ゲート配線 13、共通配線 14 およびパッド層 15 を覆うように、ゲート絶縁膜 16、第 1 の半導体層 17、第 2 の半導体層 18、第 2 の金属層 19 の 4 層を基板上に成膜する。

(3) フォトレジスト R を塗布後、フォトマスクを用いて、フォトレジスト R の厚さが厚い領域 A、薄い領域 B、フォトレジスト R を除去した領域 C からなるレジストパターンを形成する (図 12 (b))。

(4) つぎに、エッチングなどにより、まずC領域の第2の金属層19を除去する(図12(c))。

(5) つぎに領域AのフォトレジストRは残しつつ、領域BのフォトレジストRを取り除く(図12(d))。

(6) その後、領域Cの半導体層18、17をエッチングなどにより除去する(図12(e))。

(7) さらに、領域Bの第2の金属層19を除去する(図13(a))。

(8) つぎに、領域Bの第2の半導体層18を除去し、その後、フォトレジストRをすべて除去する(図13(b))。

ここまでの製造工程は、実施の形態1と同一であり、すでに述べたように、ソース配線20の横に半導体層18および半導体層17がはみ出した状態となっている。

(9) この状態のTFTアレイ基板の表面にフォトレジストを塗布、フォトマスクを使用してレジストパターンを形成し、下部パッド15上のゲート絶縁膜16にコンタクトホールを形成する。さらに、ソース配線20をマスクとしたエッチングにより、ソース配線20の下層にはみ出している半導体層18および半導体層層17を除去する(図13(c))。

(10) その後、ITO膜を全面に成膜したのち、写真製版技術を用いてパターンニングをすることにより、ITO画素電極27、上部パッド28、29を形成する。本実施の形態では、ITO画素電極27とドレイン電極22、上部パッド層29と下部パッド23はコンタクトホールを介さず、直接にコンタクトしている(図13(d))。

実施の形態1においては、ソース配線20の横にはみ出した半導体層18および半導体層17を除去するため

に、ソース配線 20 近傍の保護膜 35 を除去しており、このとき同時にソース配線 20 近傍のゲート絶縁膜 16 も除去されている（図 6（d））。したがって、ソース配線 20 と共通配線 14 が隣接して設けられる場合には、両配線のあいだのショートが発生するおそれがある。

本実施の形態によれば、保護膜 35 を除去する必要がないため、ソース配線 20 近傍のゲート絶縁膜 16 が除去されることもない。したがって、ソース配線 20 と共通配線 14 が隣接して設けられる場合でも、両配線のあいだのショートが発生するおそれはない。

本実施の形態では、ソース配線 20 が露出しているが、実施の形態 2 と同様にして、ソース配線 20 を ITO 膜で被覆することももちろん可能である。

本実施の形態によれば、保護膜 35 を省略したため、より低コストかつ短時間で TFT アレイ基板を作製することができ、かつ、ソース配線 20 の横にはみ出した半導体層 18 および半導体層 17 を除去できるため、開口率の向上およびソース配線の低抵抗化をはかることができ、またソースーコモン間容量の増大といった問題も解決することができる。

実施の形態 5

本発明の第 5 の実施の形態を図 14 を用いて説明する。図 14 は、逆スタガ型の TFT が設けられた TFT アレイ基板を例示して、その製造方法を説明する断面図である。

前述した実施の形態 4 では、合計 4 枚のフォトマスク、つまり 4 回の写真製版工程により TFT アレイ基板を製

造している。本実施の形態によれば、3枚のフォトマスク、つまり3回の写真製版工程によりTFTアレイ基板を製造することが可能である。

実施の形態4においては、図13(c)に示した工程において、TFTアレイ基板の表面にフォトレジストを塗布、フォトマスクを使用してレジストパターンを形成し、下部パッド15上のゲート絶縁膜16にコンタクトホールを形成した。

その後、ITO膜を全面に成膜し、写真製版技術を用いてパターニングをすることにより、ITO画素電極27、上部パッド28、29を形成する。したがって、下部パッド15と上部パッド28とはコンタクトホールを介して電氣的に接続されている。

本実施の形態では、ITO膜を成膜する前に、フォトマスクを使用せずに下部パッド15上のゲート絶縁膜16を除去する(図14(a))。除去は、TFTアレイ基板の周辺部分のフォトレジストをマスクなしで露光する周辺露光工程において、下部パッド15上のフォトレジストも露光させて除去し、露出した下部パッド15上のゲート絶縁膜16を続くエッチング工程によって除去することにより行なわれる。その後、ITO膜を全面に成膜し、写真製版技術を用いてパターニングをすることにより、ITO画素電極27、上部パッド28、29を形成する(図14(b))。この場合、下部パッド15と上部パッド28とが直接接触し、電氣的に接続されている。

ゲート絶縁膜16にコンタクトホールを形成するための写真製版工程が不要になるため、3回の写真製版工程、

つまり 3 枚のフォトマスクで T F T アレイ基板を作製することが可能となり、さらなるコストの低減が可能である。

もちろん、他の実施の形態と同様、ソース配線 20 の横にはみ出した半導体層 18 および半導体層 17 を除去できるため、開口率の向上およびソース配線の低抵抗化をはかることができ、またソースーコモン間容量の増大といった問題も解決することができる。

本実施の形態では、ソース配線 20 が露出しているが、実施の形態 2 と同様にして、ソース配線 20 を I T O 膜で被覆することももちろん可能である。

産業上の利用可能性

本発明の製造方法を適用することにより、従来の技術と同数の 4 枚のフォトマスク、あるいは従来の技術よりも少ない 3 枚のフォトマスクを使用した製造工程で、ソース配線の横にはみ出した半導体層を除去することが可能となり、開口率の低下、ソース配線抵抗の増大、ソースーコモン電極間容量の増大を防止することができ、高品質の液晶表示装置を安価かつ短時間に製造することが可能となる。

さらに、ソース配線を I T O 膜で覆うことにより、ソース配線と液晶との反応を防止でき、ソース配線の材料選択の自由度を高めることができる。また、本来のソース配線にくわえ I T O 膜もソース配線として機能するため、ソース配線の一層の低抵抗化がはかれ高品質の液晶表示装置が得られるとともに、ソース配線の断線の可能性が減少し、信頼性が向上する。

請求の範囲

1. 基板上に、少なくともゲート絶縁膜、半導体層および金属層をこの順に形成し、
写真製版によって形成した1枚のレジストパターンを使用して、金属層の一部を選択的に除去してソース配線を形成するとともにソース配線横の半導体層も除去するTFTアレイ基板の製造方法であって、
前記ソース配線の形成およびソース配線横の半導体層の除去後に、保護膜を成膜し、
該保護膜上に、該保護膜の一部を選択的に除去するための1枚のレジストパターンを形成し、該レジストパターンを使用して、前記ソース配線上の保護膜、前記ソース配線横の保護膜および前記ソース配線横のゲート絶縁膜を除去することにより、
前記ソース配線下の半導体層を露出させる
TFTアレイ基板の製造方法。
2. 前記露出したソース配線下の半導体層のうち、ソース配線からはみ出している部分を、
前記保護膜の一部を選択的に除去するための1枚のレジストパターンおよび／または前記ソース配線をマスクとしたエッチングによって除去する請求の範囲第1項記載のTFTアレイ基板の製造方法。
3. 前記露出したソース配線下の半導体層のうち、ソース配線からはみ出している部分を、
一部が選択的に除去された後の前記保護膜および／または前記ソース配線をマスクとしたエッチングによって除去する請求の範囲第1項記載のTFTアレイ基板

の製造方法。

4. 基板上に、少なくともゲート絶縁膜、半導体層および金属層をこの順に形成し、

写真製版によって形成した1枚のレジストパターンを使用して、金属層の一部を選択的に除去してソース配線を形成するとともにソース配線横の半導体層も除去するTFTアレイ基板の製造方法であって、

前記ソース配線の形成およびソース配線横の半導体層の除去後に、保護膜を成膜しないTFTアレイ基板の製造方法。

5. 基板上に、少なくともゲート絶縁膜、半導体層および金属層をこの順に形成し、写真製版によって形成した1枚のレジストパターンを使用して、金属層の一部を選択的に除去してソース配線を形成するとともにソース配線横の半導体層も除去するTFTアレイ基板の製造方法であって、

前記ソース配線の形成およびソース配線横の半導体層の除去後に、保護膜を成膜せずに、

露出している前記ソース配線下の半導体層のうちソース配線からはみ出している部分を、前記ソース配線をマスクとしたエッチングによって除去するTFTアレイ基板の製造方法。

6. さらにITO膜を成膜し、該ITO膜の一部を選択的に除去するパターニングにおいて、前記ソース配線上のITO膜を除去せずに残すことにより、前記ソース配線を覆うITO膜を形成する請求の範囲第1項、第2項、第3項、第4項または第5項記載のTFTアレイ基板の製造方法。

7. 基板上に、少なくともゲート絶縁膜、第1の半導体層、第2の半導体層および金属層をこの順に形成し、さらに写真製版によってフォトリジストを除去した領域、フォトリジストの薄い領域およびフォトリジストの厚い領域からなる1枚のレジストパターンを形成し、フォトリジストを除去した領域では、前記金属層、前記第2の半導体層および前記第1の半導体層が除去され、

フォトリジストの薄い領域では、前記金属層および前記第2の半導体層が除去され、

フォトリジストの厚い領域では、前記金属層、前記第2の半導体層および前記第1の半導体層が除去されずに残り、

フォトリジストの厚い領域に残る金属層によってソース配線が形成されるTFTアレ基板の製造方法であって、

前記ソース配線の近傍が、フォトリジストの薄い領域とされており、前記金属層および前記第2の半導体層が除去され、第1の半導体層が残されるTFTアレ基板の製造方法。

8. 基板上に、少なくともゲート絶縁膜、第1の半導体層、第2の半導体層および金属層をこの順に形成し、さらに写真製版によってフォトリジストを除去した領域、フォトリジストの薄い領域およびフォトリジストの厚い領域からなる1枚のレジストパターンを形成し、フォトリジストを除去した領域では、前記金属層、前記第2の半導体層および前記第1の半導体層が除去され、

フォトレジストの薄い領域では、前記金属層および前記第2の半導体層が除去され、

フォトレジストの厚い領域では、前記金属層、前記第2の半導体層および前記第1の半導体層が除去されずに残り、

フォトレジストの厚い領域に残る金属層によってソース配線が形成されるTFTアレイ基板の製造方法であって、

前記ソース配線横が、フォトレジストの薄い領域とされており、前記金属層および前記第2の半導体層が除去され、第1の半導体層が残され、

その後前記レジストパターンを除去して保護膜が成膜され、

該保護膜上に、該保護膜の一部を選択的に除去するための1枚のレジストパターンを形成し、該レジストパターンを使用して、前記ソース配線上の保護膜および前記ソース配線横の保護膜を除去することにより、

前記ソース配線近傍の第2および第1の半導体層を露出させる

TFTアレイ基板の製造方法。

9. 前記露出したソース配線近傍の第2および第1の半導体層のうち、ソース配線からはみ出している部分を、前記保護膜の一部を選択的に除去するための1枚のレジストパターンおよび／または前記ソース配線をマスクとしたエッチングによって除去する請求の範囲第8項記載のTFTアレイ基板の製造方法。

10. 前記露出したソース配線近傍の第2および第1の半導体層のうち、ソース配線からはみ出している部分を、

一部が選択的に除去された後の前記保護膜および／または前記ソース配線をマスクとしたエッチングによって除去する請求の範囲第8項記載のTFTアレイ基板の製造方法。

11. 基板上に、少なくともゲート絶縁膜、第1の半導体層、第2の半導体層および金属層をこの順に形成し、さらに写真製版によってフォトレジストを除去した領域、フォトレジストの薄い領域およびフォトレジストの厚い領域からなる1枚のレジストパターンを形成し、フォトレジストを除去した領域では、前記金属層、前記第2の半導体層および前記第1の半導体層が除去され、

フォトレジストの薄い領域では、前記金属層および前記第2の半導体層が除去され、

フォトレジストの厚い領域では、前記金属層、前記第2の半導体層および前記第1の半導体層が除去されずに残り、

フォトレジストの厚い領域に残る金属層によってソース配線が形成されるTFTアレイ基板の製造方法であって、

前記ソース配線横が、フォトレジストの薄い領域とされており、前記金属層および前記第2の半導体層が除去され、第1の半導体層が残され、

その後前記レジストパターンの除去後に、保護膜を成膜しないTFTアレイ基板の製造方法。

12. ゲート配線およびゲート配線端部の下部パッドが形成された基板上に、少なくともゲート絶縁膜、第1の半導体層、第2の半導体層および金属層をこの順に形

成し、さらに写真製版によってフォトレジストを除去した領域、フォトレジストの薄い領域およびフォトレジストの厚い領域からなる1枚のレジストパターンを形成し、

フォトレジストを除去した領域では、前記金属層、前記第2の半導体層および前記第1の半導体層が除去され、

フォトレジストの薄い領域では、前記金属層および前記第2の半導体層が除去され、

フォトレジストの厚い領域では、前記金属層、前記第2の半導体層および前記第1の半導体層が除去されずに残り、

フォトレジストの厚い領域に残る金属層によってソース配線が形成されるTFTアレイ基板の製造方法であって、

前記ソース配線横が、フォトレジストの薄い領域とされており、前記金属層および前記第2の半導体層が除去され、第1の半導体層が残され、

その後前記レジストパターンを除去した後に、保護膜を成膜せずに、ソース配線近傍の第2および第1の半導体層のうちソース配線からはみ出している部分を、ソース配線をマスクとしたエッチングによって除去するTFTアレイ基板の製造方法。

13. さらにITO膜を成膜し、該ITO膜の一部を選的に除去するパターンニングにおいて前記ソース配線上のITO膜を除去せずに残すことにより、前記ソース配線を覆うITO膜を形成する請求の範囲第7項、第8項、第9項、第10項、第11項または第12項記載

の T F T アレイ基板の製造方法。

14. フォトマスクを用いない周辺露光工程において、ゲート配線端部の下部パッド上のフォトレジストを除去し、エッチングにより前記ゲート絶縁膜の一部が除去され前記ゲート配線端部の下部パッドが露出することを特徴とする請求の範囲第 1 2 項記載の T F T アレイ基板の製造方法。

FIG. 1(a)

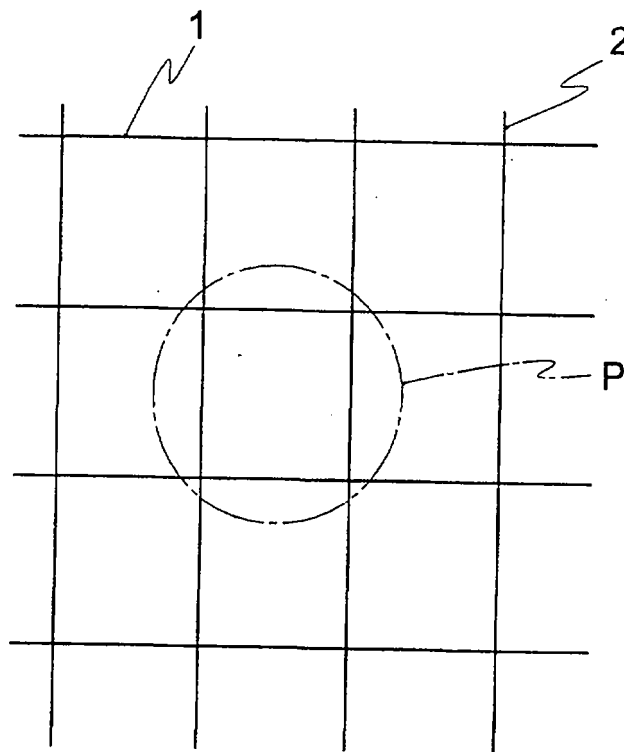


FIG. 1(b)

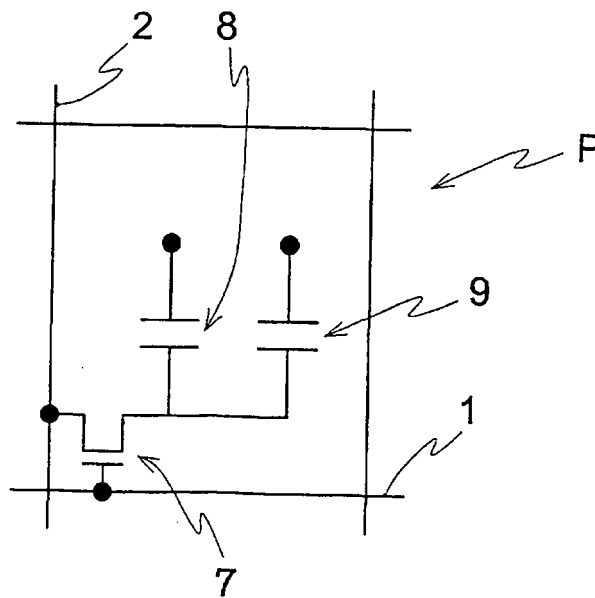
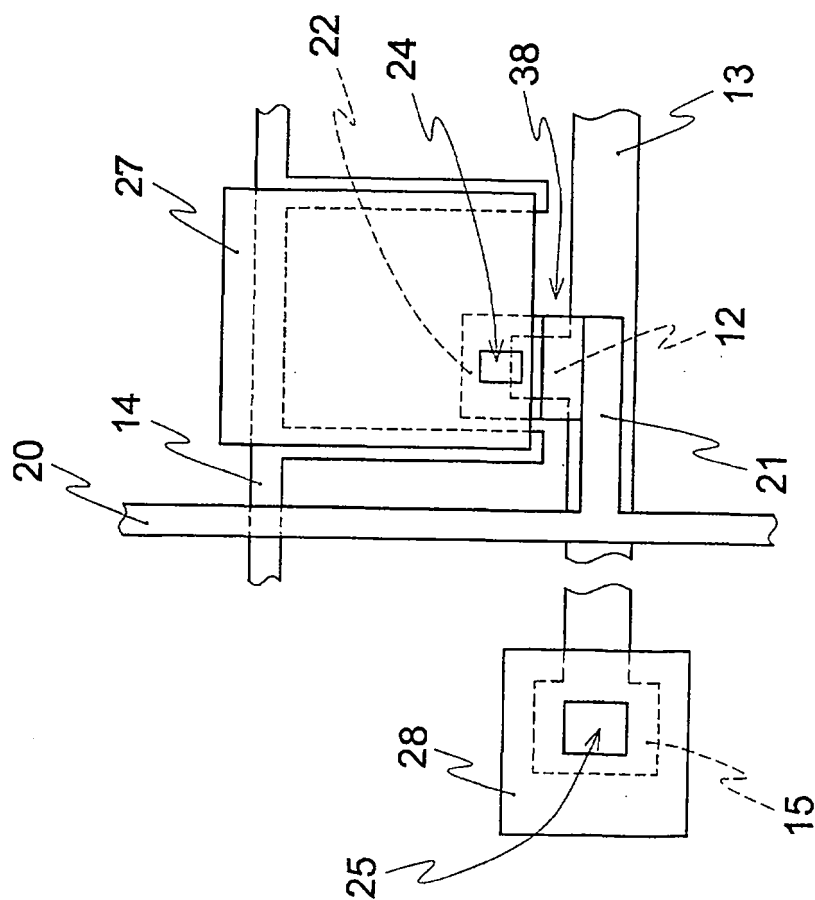


FIG. 2



3 / 13

FIG. 3(a)

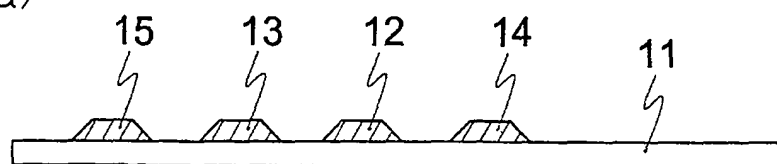


FIG. 3(b)

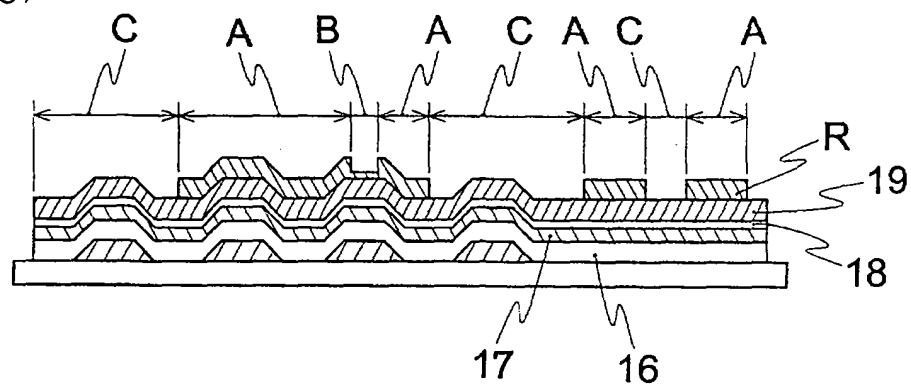


FIG. 3(c)

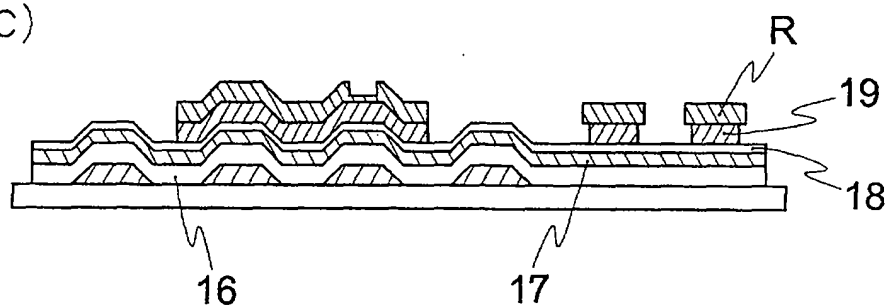


FIG. 3(d)

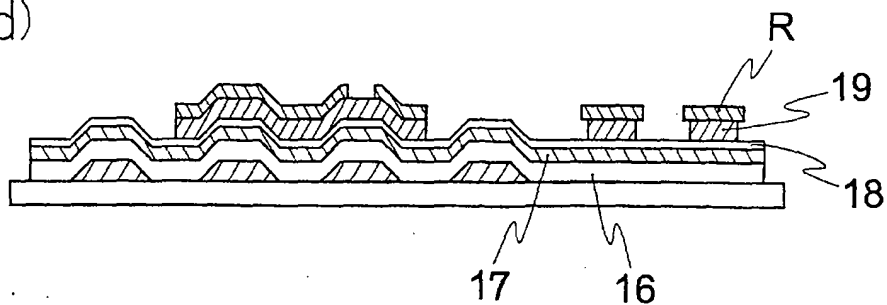


FIG. 3(e)

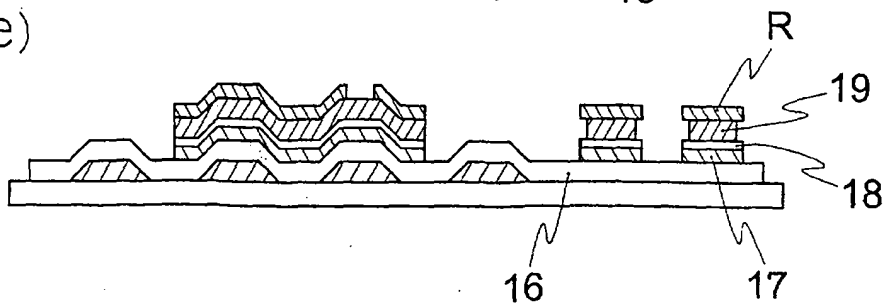


FIG. 4(a)

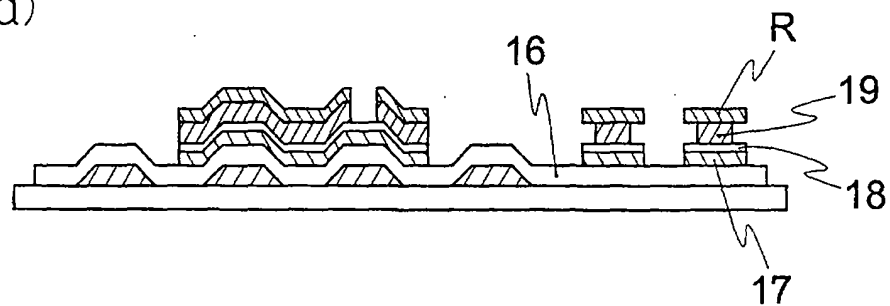


FIG. 4(b)

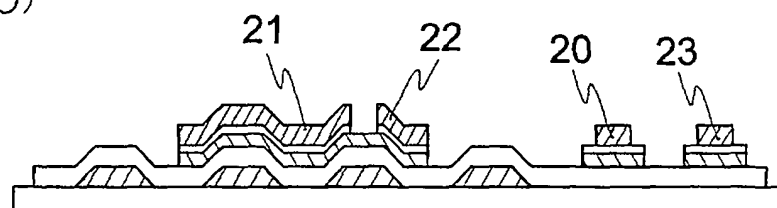


FIG. 4(c)

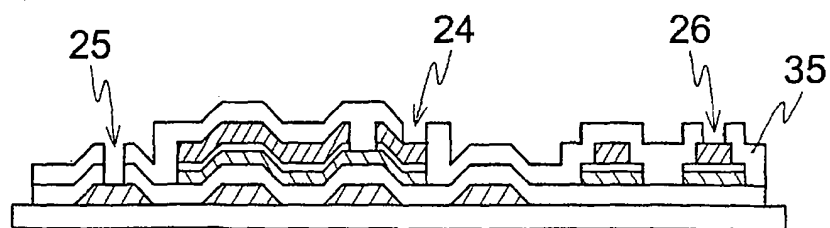
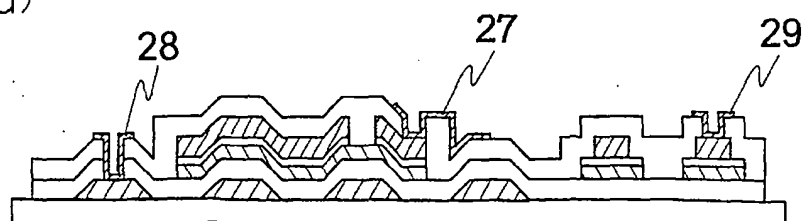


FIG. 4(d)



5 / 13

FIG. 5(a)

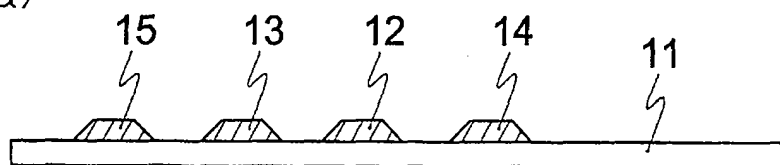


FIG. 5(b)

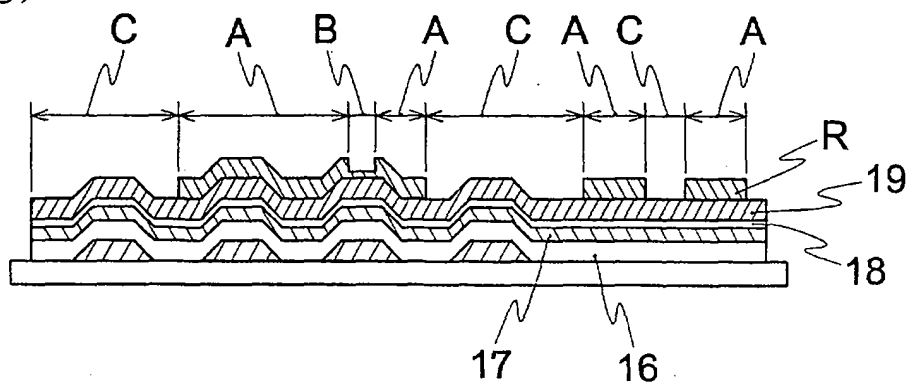


FIG. 5(c)

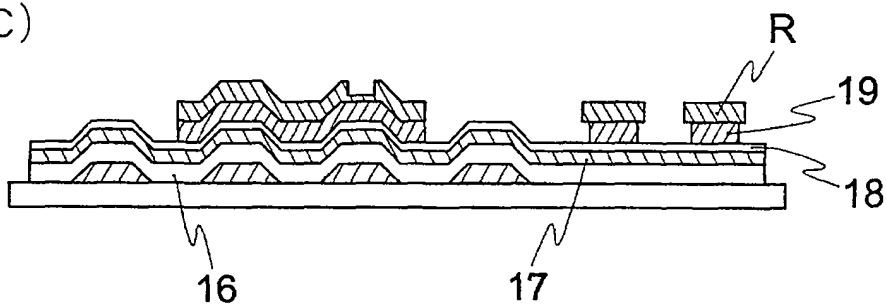


FIG. 5(d)

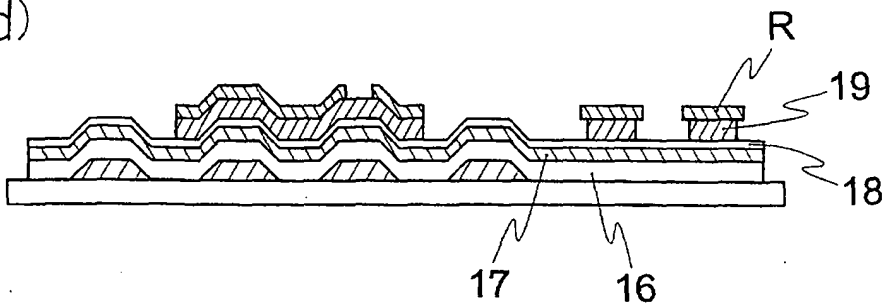


FIG. 5(e)

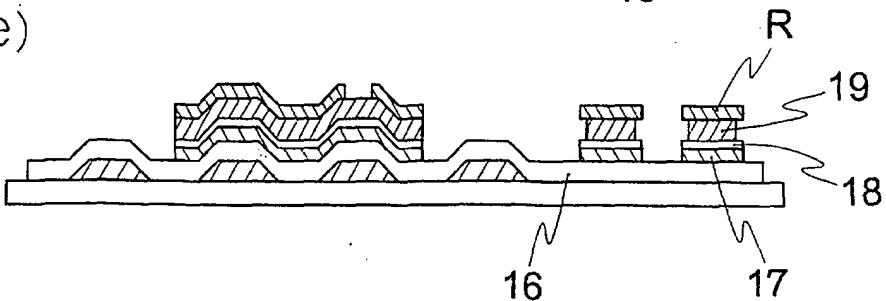


FIG. 6(a)

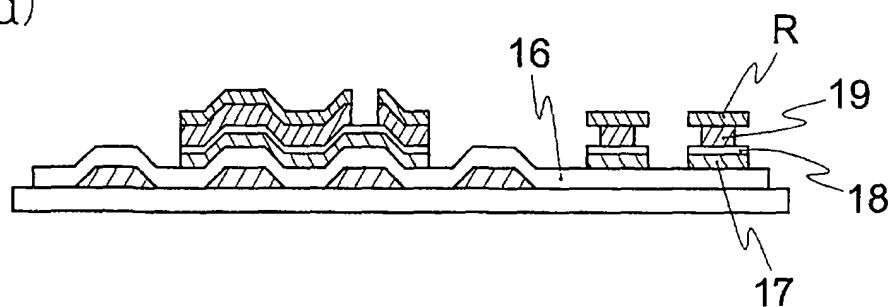


FIG. 6(b)

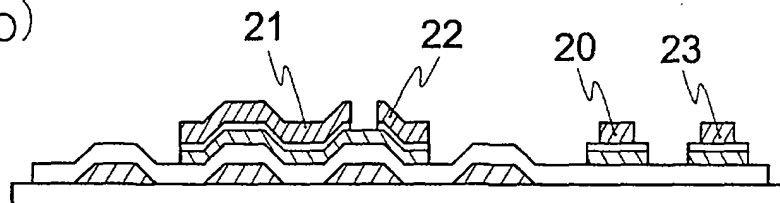


FIG. 6(c)

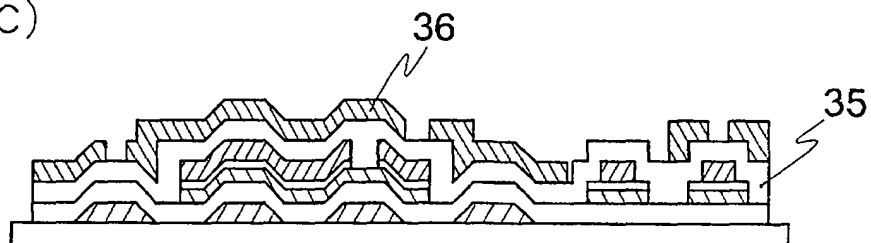


FIG. 6(d)

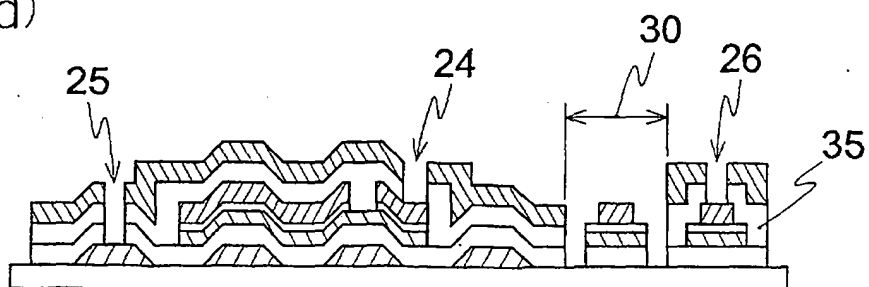


FIG. 7(a)

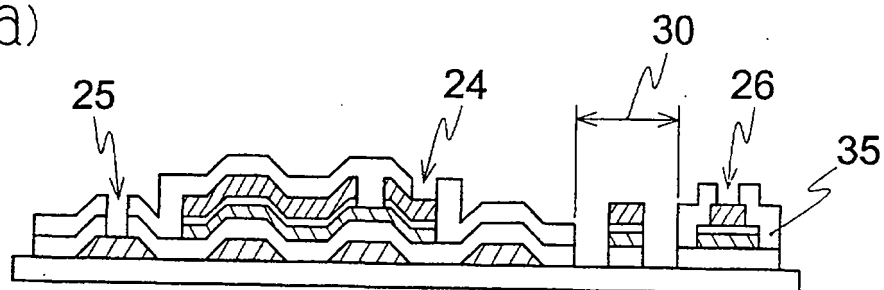


FIG. 7(b)

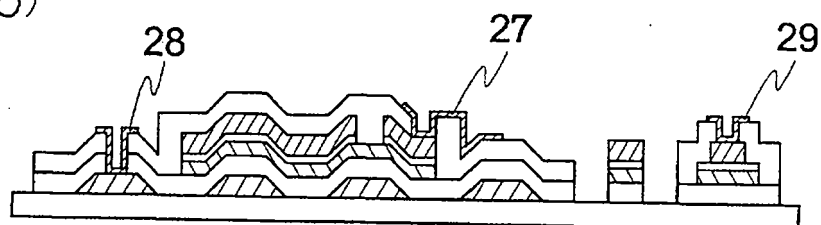


FIG. 8

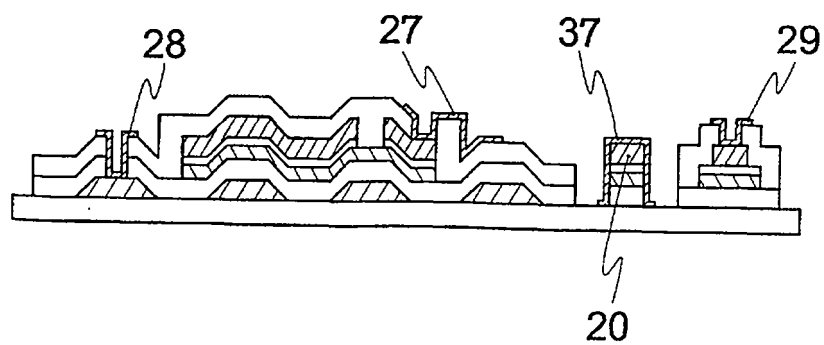


FIG. 9(a)

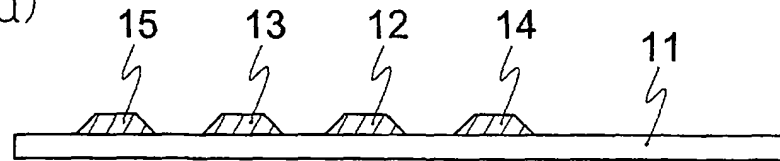


FIG. 9(b)

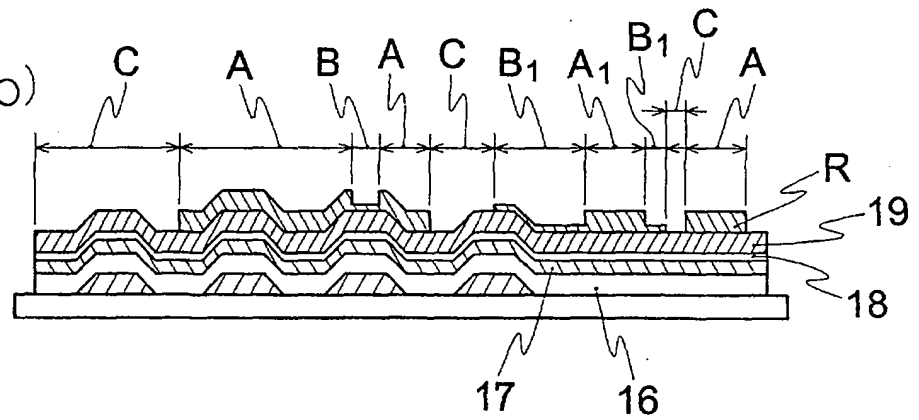


FIG. 9(c)

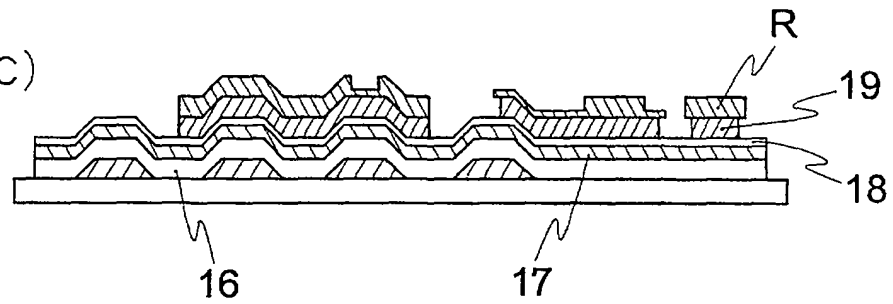


FIG. 9(d)

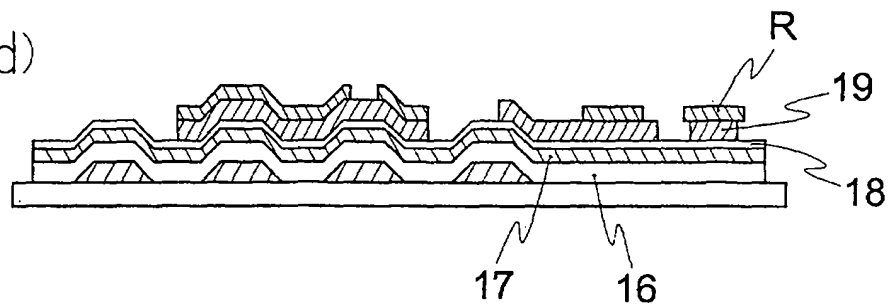


FIG. 9(e)

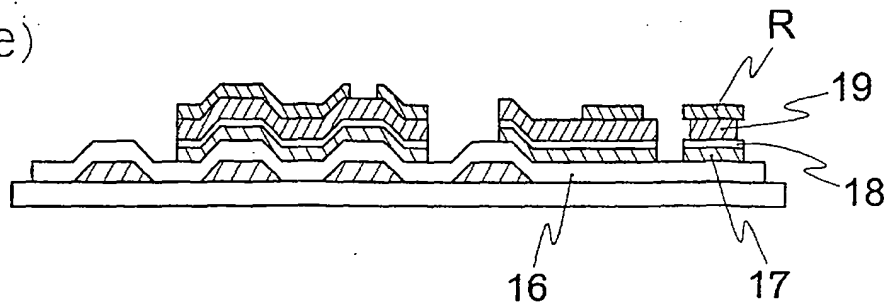


FIG. 10(a)

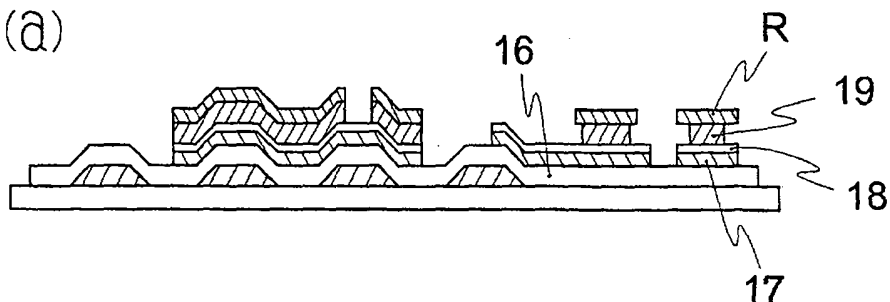


FIG. 10(b)

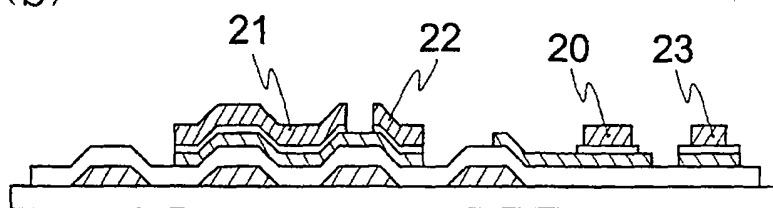


FIG. 10(c)

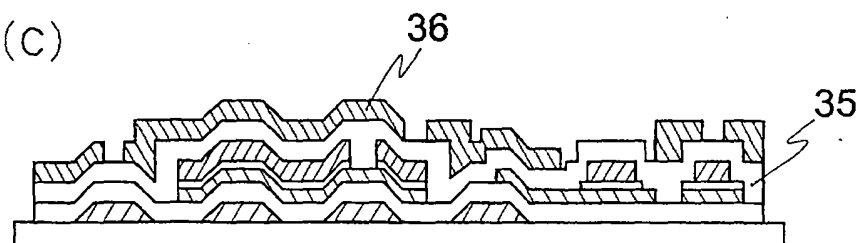


FIG. 10(d)

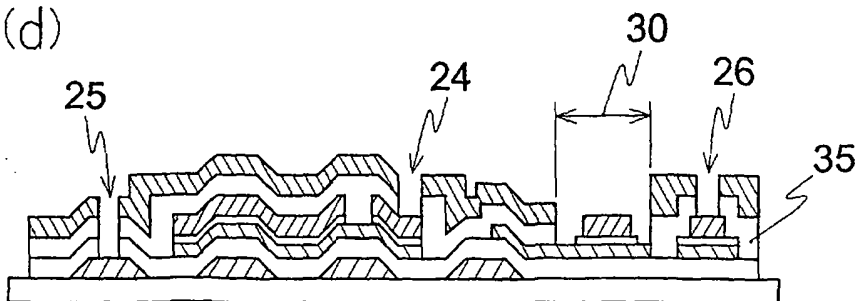


FIG. 11(a)

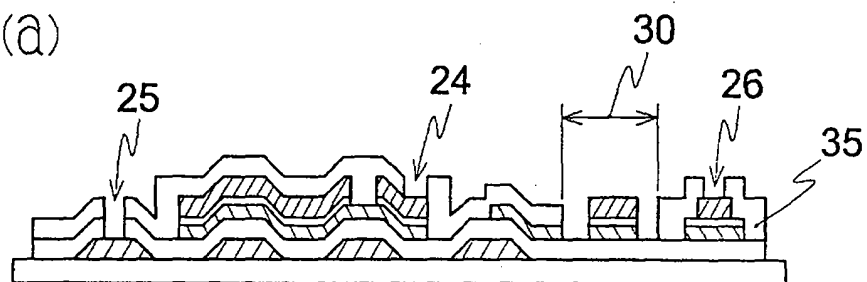
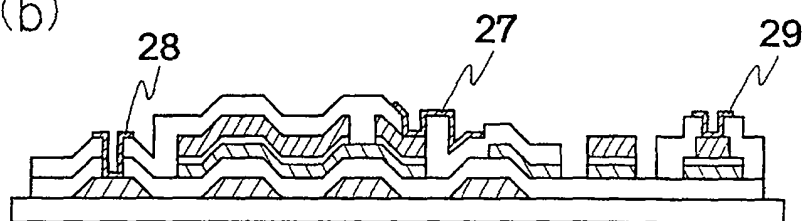


FIG. 11(b)



11/13

FIG. 12(a)

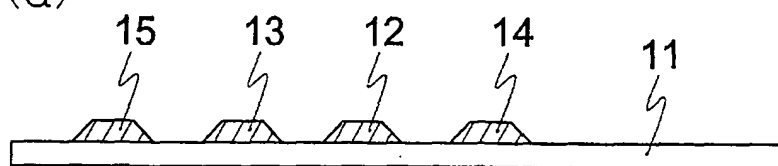


FIG. 12(b)

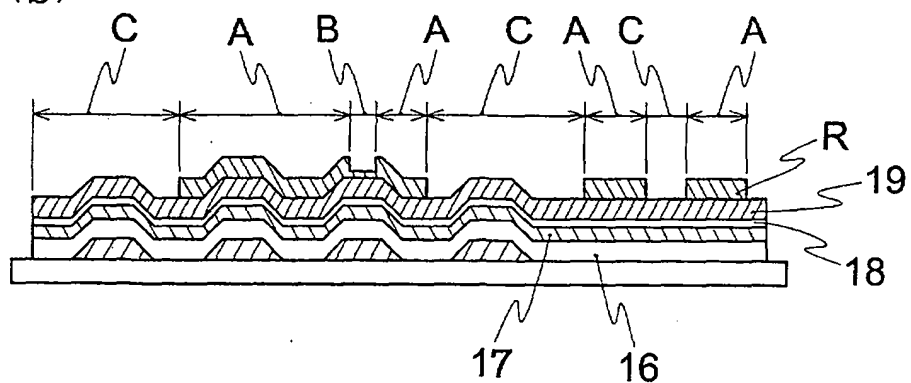


FIG. 12(c)

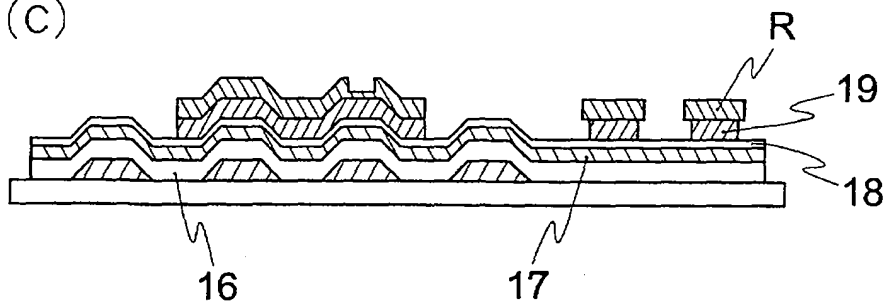


FIG. 12(d)

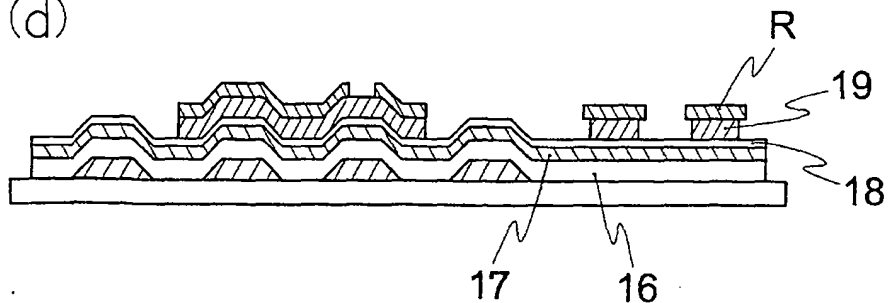
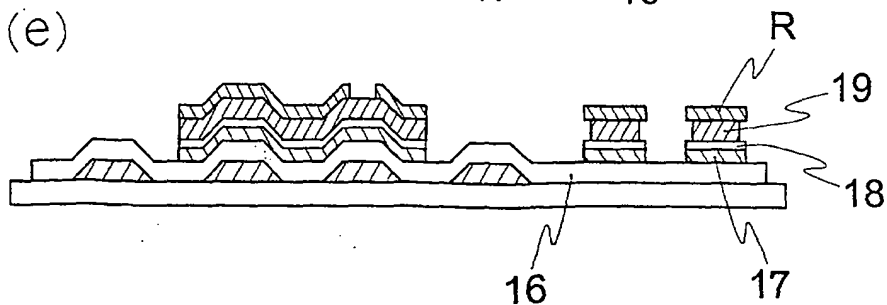


FIG. 12(e)



12 / 13

FIG. 13(a)

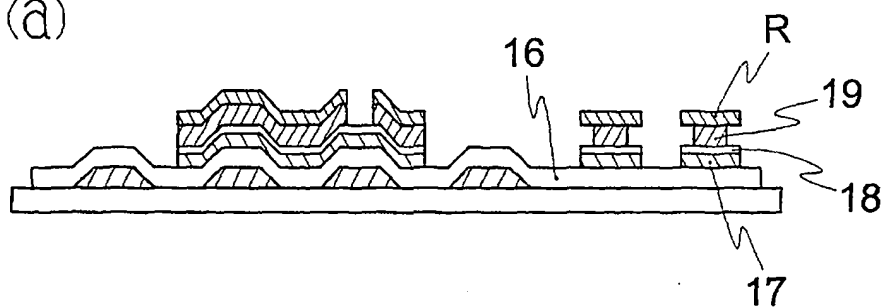


FIG. 13(b)

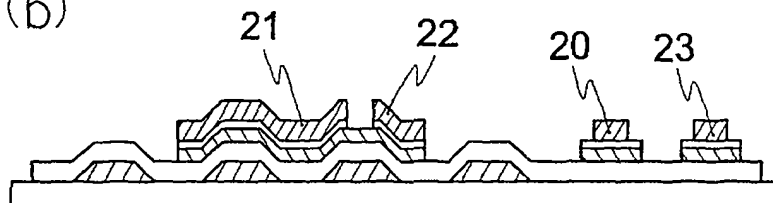


FIG. 13(c)

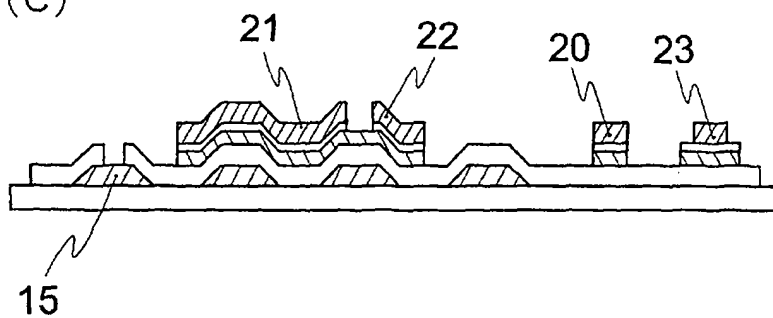


FIG. 13(d)

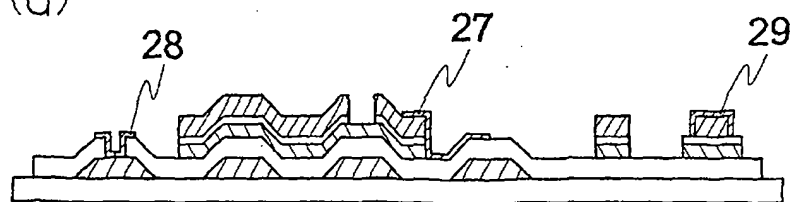


FIG. 14 (a)

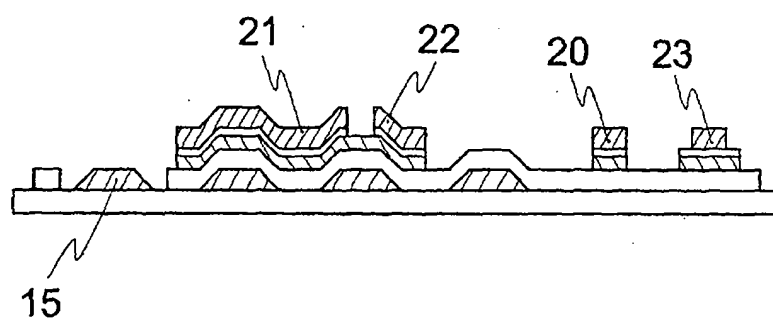
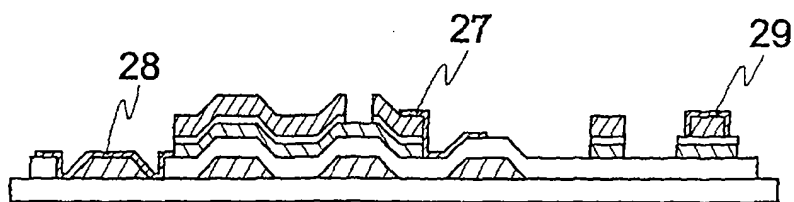


FIG. 14 (b)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/06285

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ G02F1/1368

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ G02F1/1368, G02F1/1343, H01L29/78Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2001
Kokai Jitsuyo Shinan Koho 1971-2001

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 06-118445 A (Fujitsu Limited), 28 April, 1994 (28.04.94), (Family: none)	1-14
A	JP 09-244065 A (Toshiba Electric Engineering Corporation, Toshiba Corporation), 19 September, 1997 (19.09.97), (Family: none)	1-14
A	JP 2000-194003 A (Fujitsu Limited), 14 July, 2000 (14.07.00), (Family: none)	1-14

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier document but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
18 September, 2001 (18.09.01)Date of mailing of the international search report
25 September, 2001 (25.09.01)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

国際調査報告

国際出願番号 PCT/JP01/06285

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷. G02F1/1368

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷. G02F1/1368, G02F1/1343, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996

日本国公開実用新案公報 1971-2001

日本国登録実用新案公報 1994-2001

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 06-118445 A (富士通株式会社) 28. 4月, 1994 (28. 04. 94) (ファミリーなし)	1-14
A	JP 09-244065 A (東芝電子エンジニアリング株式 会社、株式会社東芝) 19. 9月. 1997 (19. 09. 97) (ファミリーなし)	1-14
A	JP 2000-194003 A (富士通株式会社) 14. 7 月. 2000 (14. 07. 00) (ファミリーなし)	1-14

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

18. 09. 01

国際調査報告の発送日

25.09.01

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

右田 昌士

2X 9513

電話番号 03-3581-1101 内線 3255